

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-101091

(43)Date of publication of application : 07.04.2000

(51)Int.Cl.

H01L 29/786

H01L 21/336

G02F 1/136

(21)Application number : 10-273042

(71)Applicant : SHARP CORP

(22)Date of filing : 28.09.1998

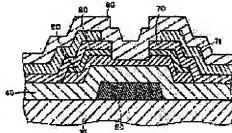
(72)Inventor : OCHI HISAO  
KOBAYASHI KAZUKI  
BAN ATSUSHI  
SAKONO IKUO

## (54) THIN FILM TRANSISTOR

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an AM-LCD TFT of such a structure as causing no fluctuation in the electrical characteristics by avoiding decrease in on-current due to a load being applied to the TFT part because of the hanging shape of a protective film covering the source-drain electrode.

**SOLUTION:** After two layer pattern of a source-drain electrode having two-layer structure of Ta, Cr, Ti layer 71 and an ITO film 70 is shifted by two stage etching process, an n+ contact layer 60 on a semiconductor channel layer 50 is removed by etching using the ITO film 70 as a mask thus forming a back channel etching type TFT (a gate insulation film 40 is interposed between the channel layer and a gate electrode layer 20). A protective film 80 is formed on the part subjected to etching and a low taper multilayer film is formed thereat including pattern shift of the two-layer source-drain electrode. Consequently, coverage of pave film is enhanced, stress being applied to the TFT part is lessened and ON-current is prevented from decreasing.



## LEGAL STATUS

[Date of request for examination] 27.07.2001

[Date of sending the examiner's decision of rejection] 30.04.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(10) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-101091

(P2000-101091A)

(43) 公開日 平成12年4月7日(2000.4.7)

(51) Int. Cl. <sup>7</sup>	識別符号	F I	チート <sup>2</sup> (参考)
H 0 1 L 29/76		H 0 1 L 29/76	6 2 7 A 2 H 0 9 2
21/36		G 0 2 F 1/136	5 0 0 5 F 1 1 0
G 0 2 F 1/136	5 0 0	H 0 1 L 29/76	6 2 7 C

審査請求 未請求 請求項の数 3 O L (全 5 頁)

(21) 出願番号 特願平10-273042

(71) 出願人 000035040

シャープ株式会社

大阪府大阪市阿倍野区長崎町22番22号

(22) 出願日 平成10年9月28日(1998.9.28)

(72) 発明者 嶋田 久雄

大阪府大阪市阿倍野区長崎町22番22号

(72) 発明者 小林 初樹

大阪府大阪市阿倍野区長崎町22番22号

(74) 代理人 100079643

弁理士 高野 明彦

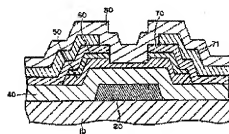
最終頁に続く

(54) 【発明の名称】 有機トランジスタ

(57) 【要約】

【課題】 AM-LCDのTFTに超えるソース/ドレイン電極を覆う保護膜が形成するハンク形状に起因してTFT部に加わる負荷によるオン電流の低下を回避し、TFTの電気特性にばらつきを生むない構造のTFTを提供する。

【解決手段】 Ta、Cr、Ti層71とITO層70の2層構造をなすソース/ドレイン電極を2段階のエッチング工程で2層のパターンをずらし形成。ITO層70をマスクとして半導体チャネル層50上のn+コンタクト層60をエッチング除去することによりバックチャネルエッチング型TFTを形成する(チャネル層とゲート電極層20間にゲート絶縁膜40が介在)。エッチング除去部分の上に保護膜80を形成するが、2層のソース/ドレイン電極のパターンずらしを含めエッチング除去部分の積層膜を低テーパーにすることにより、保護膜のカバレッジを向上させTFT部への応力が緩和されオン電流の低下を防ぐ。



(2)

特開2000-161081

1

【特許請求の範囲】

【請求項1】 ゲート、ソースおよびドレインの高抵抗層と、チャネル領域を設けた半導体薄膜と、該半導体薄膜に接するとともにチャネル領域の対する側でゲート電極に接するゲート絶縁膜と、前記半導体薄膜に接するとともに対する側で前記ソースおよびドレイン電極に接し電極コンタクト層をなすn+に不純物ドーピングされた半導体薄膜とを備えた薄膜トランジスタであって、前記チャネル領域を形成する半導体薄膜の一部とその部分に対応する側で前記ソースおよびドレイン電極に接し電極コンタクト層をなすn+半導体薄膜側からエッチング除去しバックチャネルエッチング型として形成した薄膜トランジスタにおいて、前記エッチング除去された層のバターン層の大きさをチャネル領域を形成する半導体薄膜側からソースおよびドレイン電極に向け順次大きくし、エッチング除去した部分を全面パッシベーション膜とを層疊して形成することにより、パッシベーション膜のカバレッジを向上させ特性の劣化を防止したことを特徴とする薄膜トランジスタ。

【請求項2】 請求項1記載の薄膜トランジスタにおいて、前記エッチング除去を多段階のエッチング工程を用いることにより、除去された層のバターン層の大きさをチャネル領域を形成する半導体薄膜側からソースおよびドレイン電極に向け順次拡大した段階数で順次大きくしたことを特徴とする薄膜トランジスタ。

【請求項3】 請求項2記載の薄膜トランジスタにおいて、ソースおよびドレイン電極を下部の透明導電膜と上部のメタル膜の二層構造とした場合、前記エッチング除去の工程として、エッチング除去するバターン層の大きさを逐次エッチングすることにより下部の透明導電膜と上部のメタル膜のバターンをずらし使い、得られる下部の透明導電膜パターンをマスクとして用いることによりチャネル部分のエッチングを行うことを特徴とする薄膜トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、薄膜トランジスタ(TFT: Thin Film Transistor)に関し、特にアクティブマトリクス型液晶表示装置(A-M-LCD)、液晶型イメージセンサなどのアクティブ素子に利用される薄膜トランジスタに関するものである。

【0002】

【従来の技術】 従来より薄膜トランジスタは、アクティブマトリクス型液晶表示装置に最も多く用いられており、逆スタカ型と呼ばれるTFTにその基本構造が現れている。ここでは、逆スタカ型においても、最近主流になってきているバックチャネルエッチング型TFTを例にして、その構造を図2及び図3を参照し説明する。図2は、TFTを素子として含むAM-LCDのマトリクス

2

スの要素部分を拡大して示す平面図で、図3は、TFT素子の断面図を示す。図2と図3において、同一の構成要素には同一の符号を付している。

【0003】 図2において、81はAM-LCDにおけるマトリクス要素をなす素子であり、図3は、TFT11により線素電極を制御することにより動作される表示板面を果たす。TFT11について図3を参照し、より詳細に説明すると、TFT11は一般的に、絶縁性基板10上にゲート電極20を形成する。絶縁性基板10に用いる材料としてはガラス(なお、ガラス基板表面にはペースコート層としてTa<sub>2</sub>O<sub>5</sub>、SiO<sub>2</sub>などの絶縁膜を形成している場合もある)を用いるが、またはSi基板の表面にSiO<sub>2</sub>などの絶縁膜を形成したものを用いる場合もある。絶縁性基板10上にA1、Mo、Taなどの導電材料をスパッタリング法にて膜厚し、次いで、この膜層をA1、Mo、Taなどをパターンニングしてゲート電極20に形成20を得る。

【0004】 次に、主にプラズマCVD法によりゲート電極20上にゲート絶縁膜40(Si<sub>3</sub>N<sub>4</sub>、SiO<sub>2</sub>)を積層する。ここでは、絶縁性を高めるためゲート電極を保護酸化し、第1のゲート絶縁膜(図示せず)とし、CVD絶縁膜を第2の絶縁膜とする場合もある。

【0005】 続いて、半導体膜(1-a-Si<sub>1</sub>:TFTのチャネル層)50、同じくプラズマCVD法により形成されたn+型に不純物ドーピングされたアモルファスS<sub>1</sub>膜または微結晶S<sub>1</sub>膜によるTFTのソース並びにドレインのコンタクト層60となる膜が形成され、半導体膜50とコンタクト層60の両S<sub>1</sub>膜が島状パターンニングされる。

【0006】 この後、ソース並びにドレイン電極並びに配線用のT<sub>1</sub>、C<sub>1</sub>、T<sub>2</sub>、ITO層等の低抵抗層が形成され、ソース並びにドレイン電極並びに配線70、71を形成するためにパターンニングされる。この際、ソース並びにドレイン電極並びに配線70、71においてパターンニングにより露出する断面のチープ形状は、ほぼ平坦となっている。

【0007】 ソース並びにドレインの電極並びに配線70、71形成後、チャネル層50上のn+型に不純物ドーピングされたアモルファスS<sub>1</sub>膜あるいは微結晶S<sub>1</sub>膜80はエッチング除去され、残った部分にソース並びにドレインのコンタクト層形成が形成されることになる。このとき、n+型に不純物ドーピングされたアモルファスS<sub>1</sub>膜あるいは微結晶S<sub>1</sub>膜80のみをチャネル層となる不純物ドーピングをしないアモルファスS<sub>1</sub>膜50に対して完全に選択的にエッチング除去すること(図3)に示すように、TFTのチャネルを形成する界面と反対側の部分が除去されている)が、そうしても動作上問題がないように、チャネル層となるアモルファスS<sub>1</sub>膜50の厚度は厚く形成しておく。

(3)

特開 2000-101081

3

【0008】この後、プラズマ CVD 法により形成される SiN 膜からなる TFF 保護膜 (パッシベーション膜) 80 が形成される。この場合、ソース並びにドレイン電極並びに配線 70、71 の断面は、上記したようにパターンニングに露出する面の形状がテーパとならず、ほぼ垂直であるため、その上を TFF 保護膜 80 で覆い形成される形状もテーパとならず、図 3 に示すようにハング状態となる。

【0009】

【発明が解決しようとする課題】TFF 保護膜 (パッシベーション膜) の形状が垂直になるか、もしくは、ハンパ状態となる場合、TFF 部に負荷が加わり、オン電流が低下するといったことから、表示装置を構成する TFF の電気特性が結果的にばらつき、その結果として、そのばらつきによりオン電流が小さい位置においてパネル点灯時、点滅欠陥が発生し、表示画像の品質を低下させる原因となった。

【0010】本発明は、AM-LCD を典型としてそしてこれに用いられている TFF に係る上記した従来技術の問題点に鑑みてなされたもので、ソース並びにドレイン電極並びに配線を覆う TFF 保護膜 (パッシベーション膜) が形成するハング形状に起因して TFF 部に負荷が加わり、オン電流が低下するといったことを回避し、TFF の電気特性にばらつきが生じることのない構造を有するようにした薄膜トランジスタを提供することをその目的とする。

【0011】

【課題を解決するための手段】この目的を達成するため、ソースおよびドレイン電極並びに配線となる Ta、Cr、Ti、ITO 等のソース二層構造において、その二層のパターンをずらすことにより、パッシベーション膜のカバレッジを向上させる。もしくは、ソース並びにドレイン電極並びに配線となる Ta、Cr、Ti、ITO 等の導電膜を低テーパにすることにより、パッシベーション膜のカバレッジを向上させるという手段を採用する。上記した構成をとることにより、TFF 部への応力緩和が期待でき、TFF のオン電流の低下を防止することができ、

【0012】そして、本発明の各発明は、次の技術手段を構成する。請求項 1 の発明は、ゲート、ソースおよびドレインの各電極と、チャネル領域を被った半導体層と、該半導体層に接するともにチャネル領域の対する側でゲート電極に接するゲート絶縁膜と、前記半導体層に接するともに対する側で前記ソースおよびドレイン電極に接し電極コンタクト層をなす n+ 不純物ドーピングされた半導体層とを備えた薄膜トランジスタであって、前記チャネル領域を形成する半導体層の一部とその部分に対応する前記電極コンタクト層をなす n+ 不純物ドーピングされた半導体層とをソースおよびドレイン電極に接し電極コンタクト層をなす n+ 半導

体層からエッチング除去しバックチャネルエッチングとして形成した薄膜トランジスタにおいて、前記エッチング除去された層のパターンの大きさをチャネル領域を形成する半導体層からソースおよびドレイン電極に向け順次大きくし、エッチング除去した部分を食むパッシベーション膜を上層として形成することにより、パッシベーション膜のカバレッジを向上させ特性の劣化を防止したことを特徴とし、こうすることにより、パッシベーション膜のカバレッジを向上させ、特性の劣化を防止するものである。

【0013】請求項 2 の発明は、請求項 1 記載の薄膜トランジスタにおいて、前記エッチング除去を多段階のエッチング工程を用いることにより、除去された層のパターンの大きさをチャネル領域を形成する半導体層からソースおよびドレイン電極に向け該工程に応じた段階で順次大きくしたことを特徴とするものである。

【0014】請求項 3 の発明は、請求項 2 記載の薄膜トランジスタにおいて、ソースおよびまたはドレイン電極を下部の透明導電膜と上層のメタル膜の二層構造とした場合、前記エッチング除去の工程として、エッチング除去するパターンの大きさを寬えエッチングすることにより下部の透明導電膜と上層のメタル膜のパターンをさらにした後、得られる下部の透明導電膜パターンをマスクとして用いることによりチャネル部へのエッチングを行うことを特徴とするものである。

【0015】

【発明の實施形態】以下に、本発明による薄膜トランジスタの實施形態を図 1 を参照して開示し、説明する。

図 1 は、本発明によるバックチャネルエッチング型 TFF の断面図を示す。ここでは、図 1 に示される基板上に形成された層について、下記 (1) ないし (9) に示すもの作成手順に従って説明する。

(1) まず、絶縁性基板 10 上にゲート電極 20 に配線 20 を形成する。絶縁性基板 10 に用いる材料としてはガラスを用いるか、またはガラス基板表面にペーコート膜として Ta<sub>2</sub>O<sub>5</sub>、SiO<sub>2</sub> などの絶縁膜を形成したものを用いる。絶縁性基板 10 上に A1、Mo、Ta などの導電材料をスパッタリング法にて堆積し、次いで、この膜を A1、Mo、Ta などを用いたパターニングしてゲート電極 20 に配線 20 を得る。

【0016】(2) 次に、ゲート電極 20 上にプラズマ CVD 法によりゲート絶縁膜 40 を積層する。ここでは、SiN 膜を 3000 Å 積層し、ゲート絶縁膜 40 とした。なお、絶縁性を高めるためゲート電極 20 を研磨酸化し、そのゲート絶縁膜 (図示せず) とし、CVD 絶縁膜をその絶縁膜とする方法をとっても良い。

【0017】(3) 次に、TFF のチャネル層となる半導体層 (アモルファス Si) 50 をゲート絶縁膜 40 に連続して CVD 法により 1500 Å 積層する。

【0018】(4) 次に、半導体層 (TFF) のチャ

(4)

特開2000-101091

5

ル層) 50上にTFTのソース並びにドレインの電極コンタクト層60となる不純物をドーピング(リン等を添加)したn+型としたアモルファスSiまたは微結晶SiをプラスマCVD法により500Å積層する。

[0019] (6) ソース並びにドレインの電極コンタクト層60と半導体チャネル層50の両Si層を島状にパターンニングする。このパターンニングの際に行うエッチング工程では、HCL+SF6混合ガスによるドライエッチング法を採用した。

[0020] (6) 次に、ソース並びにドレイン電極および配線70、71それぞれをスパッタリング法により形成するが、この場合、透明導電膜(ITO:Indium Tin Oxide)を1500Å、続いてTa膜を3000Åに積層する。

[0021] (7) 前工程で積層されたTa膜のパターンニングをドライエッチングで行った後、透明導電膜(ITO)のパターンニングをウェットエッチングにより行うが、この際、上層にあるTa膜についてはTFTのチャネル層の方向に1μm大きめにパターンニングを行い、ソース並びにドレイン電極および配線70、71を形成する。

[0022] (8) 続いて、前記(7)のソース並びにドレイン電極および配線70、71を形成する前工程でパターンニングした透明導電膜(ITO)をマスクとして、チャネル層50上のn+型に不純物ドーピングされたアモルファスSi層あるいは微結晶Si層60をエッチング除去し、残った部分にソース並びにドレインのコンタクト膜層を形成する。このとき、エッチングにはSF6+HCl混合ガスを使用したドライエッチングによりエッチングした。

[0023] (9) 最後に、SiNxよりなる保護膜(パッシベーション膜)80をCVD法により積層し、パターンニングする。ここに、保護膜は樹脂またはSiNxと樹脂の二層構造であってもよい。

[0024] 以上の工程により作成されたTFTは、保

6

\*保護膜(パッシベーション膜)80の形状に従来技術に現れたハング状態が生じることがなくなり、図1に示されるように順テーパー状態となり、本願の技術課題が解決される。

[0025]

[発明の効果] 本発明の方法により、TFT部のパッシベーション膜が順テーパーになり、従来ハング状態となることにより生じていたTFT部への負荷が低減され、TFT特性の電気特性として、TFTのオン電流の低下を防止することが可能となる。こうした効果を奏すTFTをAM-LCDといった表示装置に用いると、移動を動作させる各TFTの電気特性にばらつきが生じることがなく、従来起っていた表示不良に見られる点欠陥が発生せず、表示画面の品質を高めることが可能となる。

[図面の簡単な説明]

[図1] 本発明によるバックチャネルエッチング型TFTを示す断面図である。

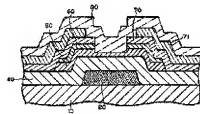
[図2] TFTを素子として含むAM-LCDのマトリクス要素部分を示す断面図である。

[図3] 従来のバックチャネルエッチング型TFTを示す断面図である。

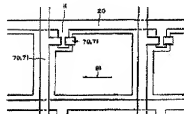
[符号の説明]

- 10…絶縁性基板、
- 20…ゲート電極、
- 40…ゲート絶縁膜、
- 50…半導体層(n-a-Si)、
- 60…コンタクト層(n+a-Si、微結晶Si膜)、
- 70…ソース/ドレイン電極1(ITO膜)、
- 71…ソース/ドレイン電極2(Ta、Cr、Ti膜)、
- 80…保護膜(パッシベーション膜)
- 11…TFT、
- 81…絶縁。

【図1】



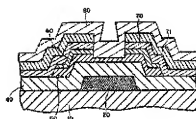
【図2】



(5)

特開2000-161991

[図3]



フロントページの続き

(72)発明者 伴 厚志  
大阪府大阪市阿倍野区長瀬町22番22号 シ  
ャープ株式会社内  
(72)発明者 辺野 智夫  
大阪府大阪市阿倍野区長瀬町22番22号 シ  
ャープ株式会社内

Fターム(参考) 2H092 GA17 GA34 HA06 JA24 KA05  
KA06 KB03 KB13 KB24 MA08  
MA38 MA39 NA01 NA13 NA24  
NA26 PA01  
SF110 AA05 CC07 DD12 DD13 EE03  
EE04 EE44 FF03 FF09 FF24  
FF30 GG15 GG22 HK15 HK16  
HK25 HK35 HL04 HL07 HL23  
NM13 NM24 NM27 NM35 QD04  
QQ05 QQ09